

PAT-NO: JP403014270A

FAX RECEIVED

DOCUMENT-IDENTIFIER: JP 03014270 A

JUN 15 2006

TITLE: SEMICONDUCTOR DEVICE

OFFICE OF PETITIONS

PUBN-DATE: January 22, 1991

INVENTOR-INFORMATION:

NAME

OGAWA, TETSUO

NAKAMURA, MINORU

GOMI, TAKAYUKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SONY CORP

N/A

APPL-NO: JP01148374

APPL-DATE: June 13, 1989

INT-CL (IPC): H01L029/48, H01L021/331, H01L027/06, H01L029/46, H01L029/73

US-CL-CURRENT: 257/477

ABSTRACT:

PURPOSE: To prevent corrosion of an aluminum system wiring layer near an emitter electrode in a semiconductor device for forming a Schottky barrier diode and a bipolar transistor on a substrate and a miniaturize it by forming the electrode structure of an emitter in laminated structure of a barrier metal and an aluminum system wiring layer.

CONSTITUTION: In a semiconductor device where a Schottky barrier diode and a bipolar transistor are formed on a substrate 1, each electrode 20S, 20B, and 20C of the Schottky barrier diode, base, and collector is laminated structure of platinum silicide layer 18, barrier metal layers 14 and 15, and an aluminum system wiring layer 16 and an emitter electrode 20Em is in laminated structure of the barrier metals 14 and 15 and the aluminum system wiring layer 16. For example, the emitter electrode 20Em is formed on a second-layer polysilicon layer 11 through a window part 13 of a silicon oxide film 12. Then, a titanium film 14 is formed inside and outside window part 13, a nitriding titanium film

15 is formed on it, and then the aluminum system wiring layer 16 is formed on it by patterning.

COPYRIGHT: (C)1991,JPO&Japio

⑨日本国特許庁 (JP) ⑩特許出願公開
 ⑪公開特許公報 (A) 平3-14270

⑫Int.Cl.*

H 01 L 29/48
 21/331
 27/08
 29/46
 29/73

識別記号

厅内整理番号

S 7638-5F

R 7638-5F

⑬公開 平成3年(1991)1月22日

8225-5F H 01 L 29/72
 8728-5F 27/06

101 D

審査請求 未請求 請求項の数 1 (全8頁)

⑭発明の名称 半導体装置

⑮特 願 平1-148374

⑯出 願 平1(1989)6月13日

⑰発明者 小川 鉄男 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑰発明者 中村 稔 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑰発明者 五味 孝行 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑰出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号
 ⑰代理人 弁理士 小池 晃 外2名

明細書

及に関する。

1. 発明の名称

半導体装置

2. 特許請求の範囲

基板上にショットキーバリアダイオードとバイポーラトランジスタを形成してなる半導体装置において、ショットキーバリアダイオード、ベース及びコレクタの各電極構造を白金シリサイド層、パリヤメタル層及びアルミニウム系配線層を積層した構造とし、エミッタの電極構造をパリヤメタルとアルミニウム系配線層を積層した構造とすることにより、エミッタ電極におけるアフターコロージョンの防止や微細化を実現することを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はショットキーバリアダイオードをバイポーラトランジスタと共に基板上に形成する半導体装置に關し、特にそれら各素子の電極構造の改

(発明の概要)

本発明は、基板上にショットキーバリアダイオードとバイポーラトランジスタを形成してなる半導体装置において、ショットキーバリアダイオード、ベース及びコレクタの各電極構造を白金シリサイド層、パリヤメタル層及びアルミニウム系配線層を積層した構造とし、エミッタの電極構造をパリヤメタルとアルミニウム系配線層を積層した構造とすることにより、エミッタ電極におけるアフターコロージョンの防止や微細化を実現するものである。

(従来の技術)

ショットキーバリアダイオードは、ショットキーティ二二等の回路に不可欠な素子であり、高速なスイッチングを行うために例えばバイポーラトランジスタと共に基板上に形成される。

このショットキーバリアダイオードのショット

キーメタルとしては、その信頼性の面から白金シリサイド層が広く用いられ、また、現在の配線技術からは、配線層としてアルミニウム系配線層が広く用いられている。また、アルミニウム系配線層の合金化反応を防止する目的で、アルミニウム系配線層のコンタクト部の底部にはバリヤメタルを設けることが広く行われている（例えば、「月刊 Semiconductor World」1987年3月号、90～94頁、「超J-SIへのバリヤメタルの適用」（アレスジャーナル社発行）参照。）。

ところで、バイポーラトランジスタの構造としては、2層のポリシリコン層を利用し、自己競合技術でエミッタやベースを形成するものが知られている。このような技術は、例えば「日経マイクロデバイス」、1989年2月号（No.44）、43～55頁、（日経BP社発行）に紹介される。具体的には、第1層目のバリシリコン層をベース取り出し電極用に、この第1層目のポリシリコン層を埋うシリコン酸化膜をエッティングして側壁スペーサを形成し、その側壁スペーサの間隙に埋

3

ゆるアフターコロージョンが発生する（例えば、「月刊 Semiconductor World」1989年4月号、101～106頁、「バリヤメタル構造 RIE後のアフターコロージョン」（アレスジャーナル社発行）を参照。）。

そこで、このようなアフターコロージョンを防止するためには、前記エミッタ電極部分のキャップ用のシリコン酸化膜に形成される窓をアルミニウム系配線層のパターンよりも内側に確實に形成することが必要とされる。しかし、マスクの合わせずれや、マスクやエッティングの変換誤差により、窓部をアルミニウム系配線層のパターンよりも确实に内側に形成するためには、さらに十分な余裕をもったパターンにすることが必要になり、このためにエミッタ電極部分の微細化が困難にされている。

また、エミッタ抵抗や飽和電圧を下げることが電子特性上好ましいが、白金シリサイド層とポリシリコン層の界面には、界面抵抗があり、十分にエミッタ抵抗や飽和電圧（V_{ce(sat)}）等を下げる

特開平 3-14270(2)

い第2層目のポリシリコン層を形成し、その第2層目のポリシリコン層からベースとエミッタの拡散を整合させて行うものである。

このようなバイポーラトランジスタでは、エミッタ電極が第2層目のポリシリコン層上に形成されることになる。すなわち、第2層目のポリシリコン層上に形成されるエミッタ拡散のキャップ用のシリコン酸化膜が窓明けされ、この窓明けされたエミッタのコンタクト領域に、ショットキーパリアダイオードやコレクタ、ベースと同様に、白金シリサイド層が形成される。白金シリサイド層は王水ガリル処理により選択的にシリコン上のみ残される。そして、バリヤメタルを介してアルミニウム系配線層を形成し、これをパターニングして各電極を得る。

【発明が解決しようとする課題】

ところが、白金シリサイド層をショットキーメタルに使用した場合、アルミニウム系配線層との間の電池効果によって、アルミニウムの腐食いわ

4

ことができない。

そこで、本発明は上述の技術的な課題に鑑み、ショットキーパリアダイオードとバイポーラトランジスタを基板上に形成する半導体装置であって、エミッタ電極付近におけるアルミニウム系配線層の腐食の防止や微細化を実現するような半導体装置の提供を目的とする。

【課題を解決するための手段】

上述の目的を達成するためには、本発明の半導体装置は、基板上にショットキーパリアダイオードとバイポーラトランジスタを有している。拡散抵抗やポリシリコン抵抗等の抵抗素子も同時形成される構造であっても良い。ここで、バイポーラトランジスタは、例えば2層のポリシリコン層を有する構造とができるが、第1層目のポリシリコン層をベース取り出し用に形成し、第2層目のポリシリコン層をベース、エミッタの拡散用に側壁スペーサの間で基板全面に露出させる構造とすることができる。この2層のポリシリコン層を有す

5

-442-

6

る構造では、各ポリシリコン層はそれぞれシリコン酸化膜等の絶縁膜に被覆され、エミッタ電極形成用の窓は第2層目のポリシリコン層上に開口される。このようなショットキーパリアダイオードとバイポーラトランジスタを有した本発明の半導体装置は、ショットキーパリアダイオード、ベース及びコレクタの各電極構造を白金シリサイド層、パリヤメタル層及びアルミニウム系配線層を積層した構造とする。シリコン基板を用いる場合では、シリコン基板上に白金シリサイド層が形成され、その白金シリサイド層上にパリヤメタルとアルミニウム系配線層が積層される。抵抗素子の電極構造を同様に白金シリサイド層、パリヤメタル層及びアルミニウム系配線層を積層した構造とすることができる。そして、本発明の半導体装置において、エミッタの電極構造はパリヤメタルとアルミニウム系配線層を積層した構造とされる。白金シリサイド層はエミッタの電極に使用されない。

〔作用〕

例の半導体装置は、n型のシリコン基板1にp型の埋め込み層2を形成しており、そのp型の埋め込み層2を形成したp型のシリコン基板1上にn型のエピタキシャル層3が積層されている。このn型のエピタキシャル層3には、分離を行うための深いフィールド酸化膜4が選択的に形成され、このフィールド酸化膜4に2次元的に囲まれた領域が量子形成領域となる。

エピタキシャル層3の積層された主面5には、ベース電極取り出しのための第1層目のポリシリコン層6が形成される。この第1層目のポリシリコン層6は、フィールド酸化膜4上から電子形成領域となるp型のエピタキシャル層3の裏面まで延在され、エミッタ領域を形成すべく領域で窓部6aを有したパターンとされる。第1層目のポリシリコン層6は、外部ベース領域〔グラフトベース領域〕7を形成するための不純物の拡散源としても機能する。すなわち、熱処理によりポリシリコン層6から不純物がp型のエピタキシャル層3に拡散し、そのn型のエピタキシャル層3の裏

特開平3-14270(3)

本発明の半導体装置では、バイポーラトランジスタのエミッタ電極部分に白金シリサイド層が形成されず、エミッタ電極部分でアラターコロージョンが発生することはない。従って、エミッタ電極を形成するための窓をアルミニウム系配線層のパターンの内側に形成するためのマージンは、小さくして済むことになり、エミッタ電極周りの微細化も容易となる。また、エミッタ電極に白金シリサイド層が形成されないため、界面抵抗は問題とされず、エミッタ抵抗等は小さくなる。

〔実施例〕

本発明の好適な実施例を図面を参照しながら説明する。

本実施例は2層のポリシリコン層を用いて自己整合的にベース、エミッタを形成したバイポーラトランジスタと、白金シリサイド層をショットキーメタルとするショットキーパリアダイオードとを有する半導体装置である。

その断面構造を第1図～第9図に示す。本実施

7

8

面にp型の不純物拡散領域からなる外部ベース領域7が形成される。この第1層目のポリシリコン層6は、シリコン酸化膜10に被覆される。特にポリシリコン層6の窓部6aでは、シリコン酸化膜10は、側壁スペーサとして機能し、ポリシリコン層6の端部と基板の主面5の露出部6bを隔離させている。

外部ベース領域7の内側には、同じくp型の不純物拡散領域からなる内部ベース領域〔真性ベース領域〕8が形成される。この内部ベース領域8は周囲で外部ベース領域7に電気的に接続する。この内部ベース領域8のさらに内側には、主面に臨んでn型の不純物拡散領域からなるエミッタ領域9が形成される。これら内部ベース領域8やエミッタ領域9は、上記露出部5からスペーサとしてのシリコン酸化膜10上に亘って形成される薄い第2層目のポリシリコン層11からの整合した拡散によりそれぞれ形成される。その第2層目のポリシリコン層11は、拡散用にシリコン酸化膜12が被覆されるが、エミッタ電極のコンタク

9

—443—

10

ト領域では底部13が形成される。

次に、エミッタ電極20Bの構造について説明する。第3図に示すように、エミッタ電極20Bは、上記第2層目のポリシリコン層11上に上記シリコン酸化膜12に設けられた底部13を介して形成される。底部13の内外に亘ってチタン膜14が形成され、そのチタン膜14上に窒化チタン膜15が形成される。そして、その窒化チタン膜15上に例えば1~2%程度のシリコンを含有したアルミニウムからなるアルミニウム系配線層16がバターニングされて形成される。チタン膜14、窒化チタン膜15の各膜は、アルミニウム系配線層16のバターンに合わせて切断されており、底部13のバターンよりも正面に沿った方向で距離P₁だけ外側になるようなバターンとされている。このエミッタ電極20Bには、白金シリサイド層が形成されず、従ってエミッタ電極部分で白金シリサイド層がアルミニウム系配線層16のバターニングで露出することはない。このために、そのエミッタ電極部分で、電池効率に

11

内側のみに形成される。その白金シリサイド層18上には、チタン膜14と窒化チタン膜15が積層され、さらにその窒化チタン膜15上にはアルミニウム系配線層16が形成される。これら白金シリサイド層18、チタン膜14、窒化チタン膜15及び白金シリサイド層18がショットキーバリアダイオードの電極20Sすなわちアノードとして機能し、ロジウムのエピタキシャル層3側がカソードとして機能する。

さらに第1図を参照して、ベース電極20Bとコレクタ電極20Cの構造について説明する。ベース電極20Bは、上記第1層目のポリシリコン層6に接続するように形成され、その第1層目のポリシリコン層6上のシリコン酸化膜10及びシリコン酸化膜12を開口した開口部19に形成される。この開口部19の底部では、上記第1層目のポリシリコン層6に接して白金シリサイド層18が形成され、その白金シリサイド層18上から開口部19を介してシリコン酸化膜12上に亘るようチタン膜14と窒化チタン膜15が積層されている。

特開平3-14270(4)

よるアルミニウムの腐食は問題とならず、底部13のバターンとアルミニウム系配線層16のバターンの合わせ余裕は、小さいもので済むことになる。言い換えれば、マスク合わせのマージンを小さくできるため、そのエミッタ電極部分の微細化が可能であり、半導体装置の高集積化や高密度化を図ることができることになる。

次に、第2図を参照して、ショットキーバリアダイオードについて説明する。ショットキーバリアダイオードは、P型のシリコン基板1に形成されたn⁺型の埋め込み層2によりコレクタに接続される。そのn⁺型の埋め込み層2上で選択に形成されたフィールド酸化膜4に閉まれてなるn型のエピタキシャル層3上では、シリコン酸化膜10及びシリコン酸化膜12を開口した開口部17が形成され、その開口部17の内側のn型のエピタキシャル層3の裏面に接して白金シリサイド層18が形成される。この白金シリサイド層18は、ショットキーメタルであり、後述するようにシリコン酸化膜と整合的に形成されて、開口部17の

12

れている。その窒化チタン膜15上には、開口部19よりも大きいバターンでアルミニウム系配線層16が形成され、これらがベース電極20Bとして機能する。コレクタ電極20Cは、エミッタ領域8等が形成される領域とはフィールド酸化膜4により分離されたコレクタ取り出し領域21上に形成される。このコレクタ電極20Cは、コレクタ取り出し領域21上で、シリコン酸化膜10及びシリコン酸化膜12を開口した開口部22に形成される。この開口部22の底部では、該開口部22の内側に白金シリサイド層18が形成される。その白金シリサイド層18上から開口部22を介してシリコン酸化膜12上に亘るようチタン膜14と窒化チタン膜15が積層されている。その窒化チタン膜15上には、開口部22よりも大きいバターンでアルミニウム系配線層16が形成され、これらがコレクタ電極20Cとして機能する。

上述のように、本実施例の半導体装置では、エミッタ、ベース、コレクタ、ショットキーバリ

13

—444—

14

特開平 3-14270(5)

ダイオードの各電極の全てにショットキーメタルである白金シリサイド層18を形成するのではなく、エミッタ電極20E_mを除いて白金シリサイド層18が形成される。従って、エミッタ電極20E_mでは白金シリサイド層18が露出することなく、エミッタ電極20E_mのアルミニウム系配線層16のバターンの底部13のバターンに対するマージンを小さくすることができ、エミッタ電極部分の微細化が可能である。なお、第1回では、バイポーラトランジスタとショットキーバリエディオードのみ図示しているが、同時に抵抗電子を形成するものであっても良く、この場合には、抵抗電子の電極構造はベースやコレクタと同様に白金シリサイド層を有したものとされる。

次に、本実施例の半導体装置の製造工程について第4回a～第4回dを参照して説明する。

まず、第4回aに示すように、p型のシリコン基板31上の電子を形成すべき領域にn型の埋め込み層32が形成され、その埋め込み層32上にn型のエピタキシャル層33が積層される。こ

のn型のエピタキシャル層33には、選択酸化によってフィールド酸化膜34が形成され、全面が平坦化される。なお、フィールド酸化膜34の下部には、図示を省略するが、所要のチャンネルスロットバー領域を形成することができ、コレクタ取り出し領域には低抵抗化のためにロ型の不純物を拡散させることができる。続いて、不純物を含有した第1層目のポリシリコン層(DOPOS)35が形成される。この第1層目のポリシリコン層35は、ベース取り出し電極となるようにフィールド酸化膜34上から電子形成領域を覆う形状にバーニングされる。第1層目のポリシリコン層35のバーニングの後、その上部に積第1層目のポリシリコン層35を被覆するようシリコン酸化膜からなる層間絶縁膜36が形成される。その層間絶縁膜36の形成後、この層間絶縁膜36及び第1層目のポリシリコン層35にはエッティングにより窓部37が形成される。窓部37は、その側壁に側壁スペーサを配するためのものであり、且つ外部ベース拡散の位置を定める。次に説明す

15

るよう、その側壁スペーサによりエミッターベース間の分離が行われる。

窓部37の形成後、CVD法によりシリコン酸化膜が形成され、このCVDシリコン酸化膜は窓部37の底部及び側壁を覆う。ここで、そのCVDシリコン酸化膜の側壁は、外部ベースと内部ベースのオフセットの量を決める。CVDシリコン酸化膜の形成後、p型の不純物拡散領域からなる外部ベース領域38の拡散が行われる。この外部ベース領域38は、上記第1層目のポリシリコン層35から拡散する不純物により形成される。外部ベース領域38の形成後、上記CVDシリコン酸化膜がエッチバックされ、窓部37の側壁にシリコン酸化膜からなる側壁スペーサ39が張る。この側壁スペーサ39により微細なエミッタ領域を得ることができる。

窓部37の内部では、一对の上記側壁スペーサ39、39が対向し、その間ではエピタキシャル層33の表面が露出する。そこで、その露出したエピタキシャル層33の表面から側壁スペーサ3

16

9の表面に沿って平坦な層間絶縁膜36の上部に至るよう第2層目のポリシリコン層40が形成される。そして、この第2層目のポリシリコン層40を用いて、イオン注入により内部ベース拡散用の不純物が導入される。その不純物は例えばB⁺やBF₃⁺等である。その第2層目のポリシリコン層40からの拡散により内部ベース領域41がエピタキシャル層33の表面に形成される。この時アニュール用のキャップとなる酸化膜を形成しても良い。内部ベース領域41の形成後、エミッタ領域42を形成するための不純物例えばA⁺等がイオン注入により第2層目のポリシリコン層40に打ち込まれる。

このエミッタ領域42を形成するための不純物の導入後、上記第2層目のポリシリコン層40が側壁スペーサ39の上端部より少し延在されたところを帽部としてバーニングされる。そのバーニング後、全面にエミッタ領域のためのキャップ用のシリコン酸化膜43が形成され、エミッタ領域よりエミッタ領域42が内部ベース領域41

17

—445—

18

の内側に自己統合的に形成される。

次に、第4回bに示すように、ショットキーパリアダイオード、ベース、コレクタの各電極を形成すべき領域の開口部44、45、46が、上記シリコン酸化膜43と層間絶縁膜36をレジストマスクを用いたバターニングにより形成される。また、抵抗素子のコンタクトを形成する場合は、同時に抵抗素子のコンタクト領域にも開口部が形成される。ショットキーパリアダイオードの開口部44の底部では、エピタキシャル層33の表面が露む。ベースの開口部45の底部では、ベース取り出し電極となる第1層目のポリシリコン層35が露出する。コレクタの開口部46では、コレクタ取り出し領域47が露出する。統いて、全面に渡り白金層がスパッタリングにより形成される。次に熱処理を行い、白金層が各開口部44～46において下部のシリコンと反応し、その結果、白金シリサイド層48が形成され、この白金シリサイド層48はショットキーパリアダイオードではショットキーメタルとして機能する。そして、玉

19

層40の表面を露出させた後、第4回dに示すように、全面にチタン膜52が形成され、統いてチタン膜上の全面に窒化チタン膜53が形成される。これらチタン膜52と窒化チタン膜53は、ペリヤメタルとして機能する。これらチタン膜52と窒化チタン膜53の形成後、1～2%のシリコンを含有してなるアルミニウム系配線層54を全面に形成する。次に、そのアルミニウム系配線層54をレジストマスクを用いてバターニングし、ショットキーパリアダイオードの電極55S、ベース電極55B、エミッタ電極55Em、コレクタ55Cをそれぞれ得る。このバターニングの際、チタン膜52と窒化チタン膜53もアルミニウム系配線層54と同じバターンに切断される。そして、エミッタ電極55Emのバターニングに着目すると、このバターニングで、アルミニウム系配線層54から窒化チタン膜53とチタン膜52までが切断されることになるが、エミッタ領域42上の第2層目のポリシリコン層40には、白金シリサイド層が存在しないため、仮にマスクすれば

特開平3-14270(6)

水ボイルにより、シリコン酸化膜上の白金層が除去され、選択的に各開口部44～46の内部だけに白金シリサイド層48が残る。ここで、第2層目のポリシリコン層40上は、シリコン酸化膜43が被覆したままであり、白金シリサイド層48はエミッタ電極の領域には形成されない。このため、エミッタ電極部分の微細化を図ることができ、エミッタ抵抗の低減も図れることになる。なお、抵抗素子が有る場合には、抵抗素子の開口部にも同様に白金シリサイド層が形成される。

次に、第4回cに示すように、レジスト層49が形成され、このレジスト層49が選択露光されて開口部50が形成される。この開口部50は、エミッタ電極を形成すべき領域に対応して形成される。次に、そのレジスト層49の開口部50を利用して、第2層目のポリシリコン層40上のシリコン酸化膜43に開口部51が形成される。この開口部51の形成により第2層目のポリシリコン層40の表面の一部が露出する。

エミッタ領域42上の第2層目のポリシリコン

20

によってアルミニウム系配線層54の端部が開口部51の内側となる場合でも、エミッタ電極部分での電池効果によるアルミニウムの腐食は発生しない。このためマスク含む等のために必要な回中P₁は小さい距離で済むことになり、エミッタ電極55Em部分の微細化を図ることができることになる。

なお、上述の実施例では、ペリヤメタルをチタン膜と窒化チタン膜の積層膜としてが、これに限定されず、他の材料のペリヤメタルを用いても良いことは勿論である。

〔発明の効果〕

本発明の半導体装置は、上述のように、ショットキーパリアダイオード、ベース、コレクタの各電極に白金シリサイド層が形成され、エミッタ電極には白金シリサイド層は形成されない。このため、アルミニウム系配線層の腐食を防止しながら、エミッタ電極部分の微細化を図ることができる。

また、エミッタ電極にショットキーメタルが形成

21

-446-

22

特開平 3-14270(7)

れないため、エミッタ抵抗を下げる事ができ、
飽和電圧も下がることが可能となる。

特許出願人 ソニー株式会社
代理人弁理士 小池 真 (他2名)

4. 図面の簡単な説明

第1図は本発明の半導体装置の一例の製部断面図、第2図はその一例のショットキーバリアダイオード部分の断面図、第3図は上記一例のエミッタ電極部分の断面図、第4図a～第4図dは本発明の半導体装置の一例の製造方法を説明するためのそれぞれ工程断面図である。

11…第2層目のポリシリコン層

14…チタン膜

15…窒化チタン膜

16…アルミニウム系配線層

18…白金シリサイド層

20S…ショットキーバリアダイオード電極

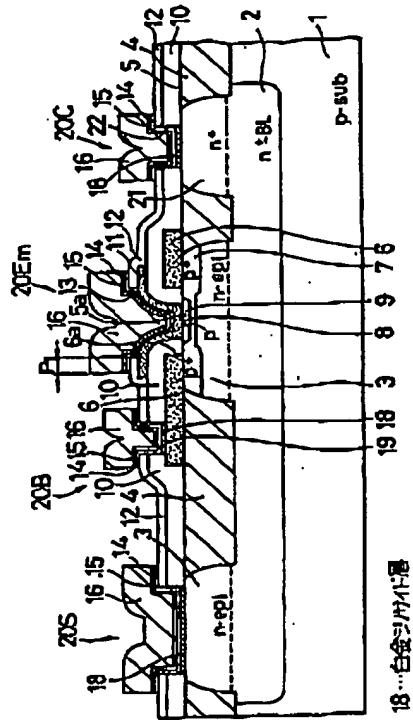
20B…ベース電極

20Bm…エミッタ電極

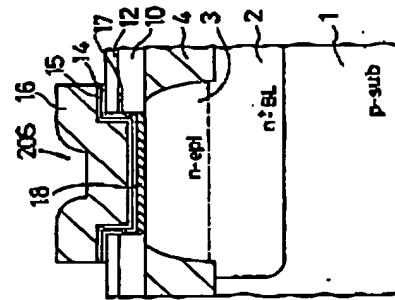
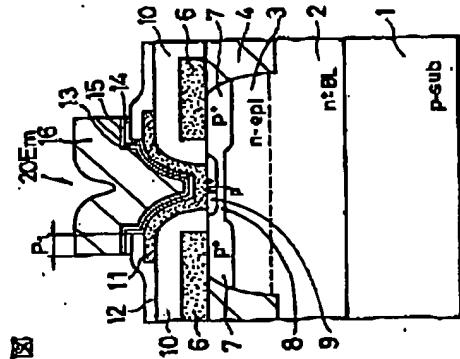
20C…コレクタ電極

24

23



第1図

第2図
ショットキーバリアダイオードの構造第3図
エミッタ電極部分の構造

特開平 3-14270(8)

